## FIELD-EFFECT TYPE SEMICONDUCTOR ELEMENT

Patent Number:

JP8264772

Publication date:

1996-10-11

Inventor(s):

KUSHIDA TOMOYOSHI; KAWAI FUMIAKI .

Applicant(s)::

**TOYOTA MOTOR CORP** 

Requested Patent:

JP8264772

Application Number: JP19950064545 19950323

Priority Number(s):

IPC Classification:

H01L29/78

EC Classification:

Equivalents:

## **Abstract**

PURPOSE: To make decrease of threshold voltage compatible with decrease of on-resistance, and improve punchthrough breakdown voltage, in an MOSFET.

CONSTITUTION: A gate oxide film 45 is formed surrounding a gate electrode 46. A diffusion layer 49 as a low concentration layer is formed on the side part of the gate electrode 46. Diffusion layers 53a, 53b-are formed on the side part of the diffusion layer 49, sufficiently deeper in the drain direction than the gate electrode 46 and the diffusion layer 49. Since the distance between the lower end portions of P<+> body layers (diffusion layers (53a, 53b) is short, depletion layers 56 between the P<+> body layers are easy to be linked together.

Data supplied from the esp@cenet database - 12

概(4) ধ 盐 蜌 噩 4 22

(11)特許出國公開每号

特開平8-264772

(43)公開日 平成8年(1996)10月11日

(51) Int C.	户内数理等中	P I			故而效形
H01L 29/78	9055 4M	H011	82/62	653A	
	9055-4M			6 5 6 D	

●空間次 未請求 耐水型の数3 OL (全8 E)

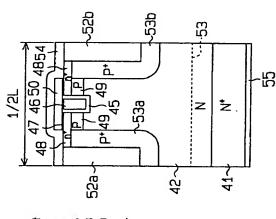
(21) 出票都号	<b>特置平7—64545</b>	(71)出版人 000003207	000003207	
			トヨタ自動車株式会社	
(22) 出版日	平成7年(1995)3月23日	•	愛知県最田市トヨタ町1番地	
		(72) 完明者	<b>参田 加熱</b>	
			曼知県豊田市トヨタ町1番地	トヨタ自動
			車 株式会社内	
		(72)免明者	11井 文都	
			爱知果爱田市トヨタ町 1 番炮	トヨク自動
			■ 株式会社内	
		(74)代理人	(74)代理人 弁理士 恩田 博宜	
	-			
	•			

## **小张杜牌升剧省段站等** (54) [発明の名称]

57) [政約]

と、
よン
拍
抗
の
低
下
を
固
立
な
も
、
な
ら
に
、
い
ケ
ス
ル
ー
配 【目的】MOSPETにおいて、しきい値電圧の低下 田の向上を図る。

へ十分に深く形成された紅敷層53a, 53bが設けら る拡散層49が形成されている。又、拡散層49の倒部 にはゲート電価46及び拡散層49よりもドレイン方向 れている。P+ ポゲイ層 (拡散層 5 a, 5 3 b) の下 6 が形成され、ゲート電極4 8の側部には低速度層であ 【構成】 ゲート監修46を囲むようにゲート酸化膜4 協的間の距離が短いため、P+ ボディ層間の弦を層56 **がつながり弱くなる。** 



【数水項2】 低濃度層 (3) の線度ピーク位置が、第 1 详電型領域(2)より深い位置にあることを特徴とす 8, 42) 装面上のトレンチゲート (19, 48) への 団塚 (20,48) に挟まれた前配第2導電型団域表面 一ス・ドレイン電流を創御するようにした電野効果型半 a, 24b, 49, 63e, 63b) Ł, y-złż 数圧印加によって基体(16,42)と前配第1導電型 (23, 24e, 24b, 49, 53e, 53b) TY 【語水頃3】 ドレインとなる第1導電型半導体基体 (16,42)の表面に第2導動型包操(23,24 第1導電型伝統(20,48)を有し、前配基体(1 る糖水塩1に記載のパワーMOSFET。 単体禁子であって、

前記第2導電型倒域はトレンチゲート (19,46) 直 度層より第1導電型領域 (20,48) から第1導電型 欧低潜度局 (23, 49) に接続して形成され、軟低機 近に形成された低濃度層 (23,49)と、

英高速度層 (24e, 24b, 53e, 53b) を前記 半導体基体(16,42)方向へ延びる高濃度層(24 トレンチゲート (19,48) より深さ方向に福厚に形 成したことを特徴とする電界効果型半導体第子。 a, 24b, 53a, 53b) とを含み、

[発明の詳細な説明] [0000] 【磁業上の利用分野】この発明はMOSFET等の電界 効果型半導体業子の構造に関するものである。 [0002] 【従来の技術】位界効果型半導体の構造として、従来の パワーMOSFETトランジスタ (以下、パワーMOS 層、6 はN+ ソース層、6 はゲート酸化膜、7 はゲート という)の構造を図3に示す。1はN+ 基板、2はN-・多結晶シリコン製権、8は層関絶線膜、9はソース・ エピタキシャル層、3はPボディ層、4はP+ ボディ

アルミニウム電猫、10はドレイン製麺、11は空左脚

[0003] このパワーMOSは、4V程度のゲート書 圧の印加で十分駆動できるように低いしきい質電圧 (1 ~2V) が取分されている。このため、Pボディ届3の 方、Pボディ層3のパンチスルーを防止し、耐圧60V 程度を実現する必要から、Pボディ層3の深さを2~3 徴度は1017cm-3程度の低速度とする必要がある。 " 中程度としている。

なる第1導電型領域(6)を有し、的記基体(2)表面

(3) の表面に第2導電型倒域 (3, 4) と、ソースと

「醋水煩1】 ドレインとなる第1導電型半導体基体

| 特許競火の範囲|

と前記第1等電型倒域 (6) に技まれた前記第2等電型

上のゲート電極(1)への電圧印却によって基体(2)

田枝状国(3, 4) セソース・ドフィン観視や慰的する

前記第2導電型倒域はゲート電極 (7) 直下に形成され

た低級度層 (8) と、、

ようにした戦界効果型半導体素子であって、

**核低漆度層(3)に接続して形成され、第1導電型倒域** (6)から第1導電型半導体基体(2)方向へ近びる高 前記高速度層 (4)を前記低速度層 (3) より磔さ方向

改度層(4)とを含み、

に個厚に形成したことを特徴とする電界効果型半導体素

田まれたポリシリコンからなるトワンチゲート、20は 【0004】女に、トレンチゲート構造を有するMOS FET (UMOS) の従来の構成を図りに示す。15は N+ 基板、1 B はN- エピタキシャル層、1 7 はPポゲ イ層18はゲート酸化膜、19はゲート酸化膜18にて N+ ソース層、21はアルミニウムからなるソース側 版、2.2は空光層、2.6 はドレイン戦権である。

に示すパワーMOSのオン抵抗rds(on)(会体のオン粧 [発明が解決しようとする観題] ところで、図3 (b) **抗:) は、次の式で表される。** [0006] [0000]

FET抵抗成分、rziftはドリフト抵抗成分、reub は 分、raco はアキュミレーション抵抗成分、r JPBTは J なお、図3(b)に示すようにrehはチャネル組抗成 rds(on) = rch+racc+rJPET+rbulk+rsub 私板抵抗成分である。

[0007] このうち、オン抵抗rds(on)に占めるJF E T抵抗成分: JPETの割合は、比較的大きい(この抵抗 成分のうち、チャネル抵抗成分 r chが最も大きい)。 従 JPBTが大きくなり、このため、オン抵抗が増大してしま って、Pボディ届3が探ぐなると、JFBT抵抗成分; う問題がある。 [0008] X, バワーMOSには、図3 (b) に示す 成される布生ダイオードDIの降伏権圧に選すると、降 ように、寄生抵抗に1, 12、寄生トランジスタTに及 し、P ボゲィ届 3 とN- エピタキシャル層 2 とにより形 ポディ層 3 と N- エピタキシャル層 2 との被合部分の塊 【0009】低濃度のPボディ層3に形成される寄生低 び寄生ダイオードDIが存在している。ソース・アルミ **抗ェ2は、比較的大きいため、降伏電波により、杏生ト** ランジスタTェのペース電流が上昇し、この結果、大量 寄生トランジスタエェが導通し、大電視が流れて、パワ の降伏電波が流れ、ペース電位が0.6Vを組えると、 分、すなわち、Pボディ層3のコーナ部Aで選生する。 界に拡がる空之層11において、曲率半倍の小さい部 コウム製物のとドアイン製物10との間に製圧を印力 伏電液が寄生ダイオードD1に流れる。この降伏は、

を有するMOSFET (UMOS) は、次のような問題 【0010】又、四ヶに示す休米のトフンチゲート構造 点があった。すなわち、彼述の理由からトレンチゲート

-MOSが敬様する問題がある。

ම

チングの異方性を利用して形成しているため、コーナの 1 ? がPボゲィ届17 より茶へ形成されている。この結 果、トレンチゲート19の下鉛部に転界線中が生じるた め、耐圧が低下する。この問題を解消するために、トレ ンチゲート19の下始的のコーナの由率半径を大きくす る丸め行領が必要となる。しかし、トワンチは本来エッ 曲帯半径を大きくすることは難しい。

高耐圧を実現するためには、P ボディ層 1 7 のパンチス 【0011】又、Pボディ層17は、低いしきい値電圧 **ルーを防止する必要から、Pボディ届1を深くしなけれ** ばならなかった。この結果、低しきい値載圧と高耐圧性 を西立させるためにはトレンチゲート 19を深くする必 を実現するために、低濃度である必要がある。従って、

【0012】この発明の目的は上記従来技術の問題点を 解消するためになされたものであって、しきい位職圧の **低下と、オン抵抗の低下を返立させ、さらにパンチスル** 一耐圧の向上を図ることができるを提供することにあ

とする請求項1に記載の電界効果型半導体案子をその要 体基体の表面に第2等電型倒域と、ソースとなる第1等 体基体方向へ延びる高濃度層とを含み、前配高濃度層を 位置が、第1導電型倒域より深い位置にあることを特徴 【戦闘を解決するための手段】上記問題点を解決するた めに請求項1の発明は、ドレインとなる第1導電型半導 電型領域を有し、基体表面上のゲート電極への電圧印加 によって基体と第1導電型領域に挟まれた第2導電型領 界効果型半導体素子であって、前記第2導動型倒域はゲ 接続して形成され、第1導電型倒域から第1導電型半導 前配低濃度層より探さ方向に個厚に形成したことを特徴 【0014】醋水斑2の発明は、低濃度層の濃度ピーク **狭校回むソース・ドフイン電視や包御する こうにした島** 一ト電極度下に形成された低微度層と、、軟低微度層 とする電界効果型半導体索子をその要目としている。

['0 0 1 6] 糖水類 3 の発明は、ドレインとなる第 1 導 電型半導体基体の表面に第2導電型領域と、ソースとな る第1 導電型倒域を有し、前配基体表面上のトレンチが **ートへの電圧印加によって基体と前記数 1 導電型伝域に** 挟まれた前配第2導電型倒域表面でソース・ドレイン観 導電型倒域から第1 導電型半導体基体方向へ延げる高濃 度層とを含み、前配高濃度層を前配低濃度層より深さ方 向に福厚に形成したことを特徴とする戦界効果型半導体 **ト、哲記第2導電型包集はトレンチゲート直近に形成さ** れた低級度層と、軟低濃度層に接続して形成され、第1 済を制御するようにした電界効果型半導体索子であっ **育子をその**要旨としている。 [作用] 請求項1の発明によれば、低濃度層が幅数くゲ

層内の空気層が広がりにくく抑えられる。この結果、バ **一ト電極直下に形成されているため、しきい値覧圧は低** く、さちに、メン類だも小さい(オン類抗のうちのreh に、高韓股陽が禁へ形成されているため、ドワイン・ソ -- ス国の逆パイアス時にも高線収留からドレイン方向に 際く空る層が形成されるため、空を層の電界区の強度が 全体に弱まり、すなわち、第1導電型領域側への低濃度 (チャネル抵抗) と r JPETとが小さくなる。)。 さら /チスル一防止耐圧は維持される。

第1 導電領域直下の低濃度層の濃度が濃くなる。このた め、より浅い低濃度層で、パンチスルーが防止でき、オ 【0017】 請求項2の発明によれば、電界効果型半導 体案子のしきい値を決定する低濃度局の安面濃度よりも ン抵抗が低減される。又、寄生抵抗成分を小さくできる ことから、ペース監位が上昇しにくくなって寄生トラン ジスタが導通しにくくなり、かつ各生トランジスタの粒 産増幅率 P.P.を小さくできるため、破壊耐量が向上す

でも可能となる。又、電界強度も弱くなることから、ト [0018] 糖水掻3の発明によれば、トワンチが形成 される分だけ「JPBTの抵抗が無くなり、メン抵抗の低下 は、電界強度が弱められ、かつ空を層が拡がるのも抑え られるため、従来と異なり空を層が拡がってパンチスル **一が生じるのを抑止するための深いトレンチゲートの製** 治の必要がなくなり、製造しやすい欲いトレンチゲート ができる。又、第2導電型倒域から第1導電型倒域へ **アンチゲート始部の丸め工程も不要となる。** 

【実施例】以下、請求項1の発明をNチャネルタイプの パワーMOSFETに具体化した実施例を図1に従って 説明する。図1は、本実施例の模式的な1つのセルの断 面図である。なお、図3の従来例と同一構成又は相当す 5様成については同一符合を付して説明を省略する。 [0019]

からなり、図1に示すように、各セルはドレインとなる イ層4が第2導電型倒域の高濃度層を構成する。又、N 【0020】このパワーMOSFETは、複数個のセル N- エピタキシャル層 2 に取けたゲート・多結晶シリコ ン質値1~00円加賀田により、ソース・ドアイン配流を 包含するものである。この実施例では前的N- エピタキ シャル層2が第1導電型半導体基体を構成する。 Pボデ 4層3が第2導電型倒域の低速度層を構成し、P+ ポゲ N+ 基板1、N- エピタキシャル圏2、Pボディ圏3、 P+ボディ届4、ソースとなるN+ ソース居6を有し、 + ソース層5が第1導電回域を構成する。

[0021] そして、Pボディ届3に対して、十分際い は、N+ ソース層6、Pボゲィ陽3、N- エピタキシャ いる。そして、図2において、実象にて示すようにPボ **ル層2に含まれる不純物濃度は図2に示すようになって** P+ ボディ層4が形成されている。又、この実施例で ディ層3の不純他確度ピークの位置xp (P)は、N+

れている (xp (P) >xj (N+))。 なお、図2は ソース層 6 の拡散改さxj (N+)よりも深い位置とさ 翌1のY-Y線におけるこの実施例におけるパワーMO はN- エピタキシャル層2の最上面からの磔さを表して CP はPボディ層3のピーク不純物濃度を示し、上記の SFETの不紅物濃度を示し、縦軸は不紅物濃度、複制 いる。そして、Cs はPボディ層3の安西不純物濃度、 ことから、CP > Cs となっている。

[0022] 上記のように構成されたパワーMOSFE るセルからの空左層11とつながることにより、 P ボゲ イ暦3の周辺及びゲート・シリコン電極1直下のN-エ Fは、P+ ボディ層4から拡がる空を層11が、瞬後す ピタキシャル層 2をピンチオフする。 【0023】この結果、Pボディ層3からN- エピタキ ンチスルーを防止でき、さらに、オン抵抗のうちのrd と・JPETの低減を図り、すなわち、オン抵抗の低減を図 シャル層2接合近傍の電界集中が緩和される。従って、 この実施倒では、依米より扱いPボゲィ層3に対してい

N- エピタキシャル層2とにより形成されるPN接合の 投界に払がる空之層11の曲率半径は、P+ ボディ層4 4を通るため、従来と異なり、大きな降伏電視まで、寄 の底部で、最も小さくなる。すなわち、降伏鬼滅は低機 度のPボディ層 3 ではなく比較的高速度のP+ ボゲィ層 [0024] X、P+ ボディ脳4及びPボディ暦3と、 生トランジスタが導通せず、破壊耐量が向上する。

[0025] さらに、P+ ポディ層4が深く形成されて ることになる。すなわち、N+ソース層も倒へのPボゲ ポディ 届々から ドフイン 方向に 際く 位 人間 1 1 が形成さ れることから、空左層11の電界Bの強度が全体に弱ま ころため、ドフイン・ソース国の遊スイアス邸にもP+ 4 (低速度層) 3内の空を層が広がりにくく抑えられ る。この結果、パンチスルーの防止ができる。

[0026] 次にトレンチゲートを有するMOSFET (UMOS) に具体化した第2実施例を図4に従って脱 明する。なお、前配図1の従来例と異なるところのみを 説明し、固従来例に相当する構成については同一符合を

面図である。この実施金では、トレンチゲート19を囲 【0027】図4は本実施例の模式的な1つのセルの断 8の何部には低速度層であるアポディ層23が形成され ート19及びPボディ層23よりもドレイン方向へ十分 れている。図7において、N- エピタキシャル層16が むようにゲート酸化膜18が形成され、ゲート酸化膜1 ている。又、Pボディ暦23の戯街には哲師トレンチゲ ソース暦20が第1導電型団体を構成し、Pボゲィ暦2 に磔く形成されたP+ ボディ層24s, 24bが散けら 3 が据2 導電田域の低酸度層を構成し、P+ ボゲィ層2 請求項3の発明の第1導電型半導体基体を構成し、N+ 4m、24トが第2洋電知域の高濃度層を構成する。

度を下げ、すなわち、強いPボディ層23でもパンチス ケーを防止できる。 徐った、強いトレンチゲート 19に レンチゲート19 下始部(特にエッジ部)の最大無界強 246から女がる位え帰22によって、アポゲィ帰28 及びトレンチゲート19直下のN- エピタキシャル層1 8 セピンチオフナるようになっている。狭って、この橋 成により、Pポディ・N- エピタキシャル層接合及びト [0028]上記の構成により、P+ ボディ層24s, より高耐圧が実現できる。

**特開平8-264772** 

3

エッジの丸め工程を省略することができる。さらに、ド ジでの高電界が緩和されるため、従来では必要であった アイン方向へ際へ形成されたで+ボゲィ届24。24 くなるため、従来構造に比較し、高温時でも害生NPN が動作せず、破壊耐量を向上することができる。従来構 治では、パワーMOSFETをインダクタンス負荷で使 用した場合、パワーMOSPETをオフするときに、短 FETに加わる。そのため、急激に道度上昇して寄生N PNトランジスタが動作し、客生NPNトランジスタが 【0029】又、依米のトレンチゲート19下媼街エッ bにより、も生NPNトランジスタのペース抵抗が小さ 時間ではあるが、高電圧と大電視が同時にパワーMOS 熱毒走して破壊する。しかし、この実施例ではそのよう なことは生じない。

[0030] 次に第3実施例を図6、図6、図8及び図 き、L/2となるように形成し、図4の第2実施例と同 に第2 導電型領域の高濃度層としての拡散層(P+ ボゲ 9に従って説明する。この実施例では、図6に示すよう **イ層)63g、63bをトフンチの周辺に形成するいと** により、図4の第2実施例の1セルの寸法を1としたと 等の性能をより小さな面積で実現している。

宜上、図8及び図9においては、図6における左半分の 【0091】この実施倒におけるパワーMOSFETの 5. なお、図5は左右対象とされているため、散明の便 みを示し、右半分は省略している。従って、図6におい て、セギ分に相当する構成については回一杯合もしくは 製造工程を図8及び図9に従って以下に幹細に説明す 同一符合にサフィクスを付している。

N型シリコン層42をエピタキシャル成長させ、安面に 熱酸化法により酸化膜43を形成する。その後、フォト リソグラフィ法とエッチング法を用いて酸化瞑43を所 [0032] 図8 (a) に示すように高濃度N+ 型シリ コン基板41上に第1導電型半導体基体としての低濃度 定の形状にパケーニングする。

(プーイオンエッチング) 苗により、酸化酸43をエッ [0033] 図8 (b) に示すようにRIE (リアクテ チングマスクとしてトレンチ(凹跡)44年形成し、蛇 に示すようにCVD (ケミカルベーバデオジション) 社 により、リンPを含んだ多前品シリコン質46を維養す 5. 図8 (4) に示すように多額品シリコン既46の表 酸化法により酸化膜46を形成する。次に、図8(。)

特朗平8-264772

9

なり、拡散層49が第2導電型倒域の低濃度層としての 面をRIE法によりエッチパックする。この多結晶シリ コン膜48がゲート電腦(トレンチゲート)となる。次 に図8(の)に示すように酸化膜45の装面に露出した 部分をエッチングし、再び酸化する。この時、多結晶シ 後、イオン注入法により、ヒ森Asと、ホウ寮Bを注入 の拡散層48が第1導電型低域としてのN+ソース層と して、熱処理により、故散層48,49を形成する。こ リコン膜46も酸化し、酸化膜41を形成する。その Pボディ層となる。

【0034】図8 (f) に示すように安面にCVD法に より厚い酸化腐ちのを堆積し、フォトリングラフィ法と エッチング法を用いて酸化膜60を所定の形状にパター ソニングする。様いて、図9 (4) に示すようにRIE **缶により酸化膜50をユッチングマスクとしてトレンチ** (回様) 61を形成する。 [0035] 次に、CVD法により、ホウ森Bを含んだ 多結晶シリコン膜62 g (62 b) を推復し、敷処理に より多結晶シリコン膜62内のホウ森Bを拡散させ、対 の後、多結晶シリコン膜62a (62b)をRIE法に より酸化膜とシリコンの界面までエッチパックする。前 配多結晶シリコン膜62 a(624)が光質圏を構成し このは数層53g(53b)がP+ ポゲィ層となる。そ 数層58a (58b)を形成する (図9 (b) 参照) CV. 8. 【0038】 次にフォトリングラフィ社とエッチング法 版41の最面に金属を蒸着し、ドレイン電極55を形成 その後、アルミニウム等の金属をスパッタ法により、堆 貸し、ソース電極54を形成する。 さらに、シリコン基 を用いて酸化膜60,41の開口部をより大きくする。

[0037]さて、図8(a)に示すように、第2実施 別の構造では B IX B IO 回復においてはゲートの移跡 **長は6L×10=60Lとなる。それに対して、この実** 箱倒では同じらL×6Lの面積においては、ゲートの株 旺長は5L×20=100Lとなる。従って、この実施 ゲートの総瓩長が2倍、すなわち、オン抵抗が半分とな 所では、第2の実施免に比較して四一面復においては、

ずれることになる。すなわち、トレンチ包回のドライエ 用トレンチとは異なって、ダメージ始去工程が不要とな 【0038】なお、上記の実施例ではセルサイズが第2 実施倒の1/2の場合について説明したが、 セケサイズ の箱小串は、P+ ボディ層の聚さによって一般的に異な る。なな、P+ボディ層用のトレンチ61は、トレンチ **側面がP+ ポゲイ層 (拡散層 5 8 4, 5 3 b) 内にある** ため、パワーMOSの計載低温路からトフンチ包囲がは ッチングダメージが扱っていても、オン抵抗を高くする ことはない。狭って、P+ ボディ脳用トレンチはゲート るので、製作は容易となる。

P+ ボディ層 (拡散層 8 g, 6 3 b) の下端部間の距 易くなる。このため、この実施例では、第2実施例に比 簡が短いため、P+ ボディ層間の空之間56ボンながり **校してより茂いP+ ボディ層 (拡散層53a, 53b)** 【0039】又、この実施例は第2実施例に比較して、 た四部のパンチギン哲果が接待できる。

【0040】なお、この発明は下配のように具体化して 825

(イ) 前記第1実施残の構成中、N+ 基板1をP+ 基板 1とすれば、IGBTにも適用可能である。

層、P層をすべて反対に入れ換えても各実施例と同様の 【0041】 (ロ) 第1万函第3実施例の構成中、N 効果を得ることができる。

て多結晶シリコン膜62m、52トを形成したが、充填 (へ) 哲記第3 実施資では、トレンチ61に充填層とし 幅としてトレンチ61に対しチタンシリサイド等のシリ

N+ 基板16、N+ 型基板41をP+ 基板、P+ 基板と すれば、IGBTにも適用可能である。この明細容中に 以外に把握される技術的思想についてその効果とともに 記載された事項から特許請求の範囲に記載された請求項 【0042】 (ハ) 前記第2及び第3実施例の構成中、 サイド、タングステン毎の金属を充填してもよい。 配配する。

届から不純物が拡散されて形成されたものである電界効 **【0043】(1) 糖水項3において、高濃度層はトレ** ンチ51の周辺に形成し、トレンチ51に充填した充填 果型半導体素子。この構成によれば、隣接する高濃度層 間の距離が短くなるため、高濃度陽間の空を围がつなが り 島へ、トレンチ 6 1 を形成しない場合に比較して、よ り強い高濃度層にてピンチオフ効果が期待できる。

め、高遠度層間の空を層がつながり易い。従って、トレ 【0044】又、隣接する高速度層間距離が短くなるた ンチを形成しないものに比較してより改い高濃度層にて アンンケギン哲果が基件できる。

【0045】又、本構造(図5)の形成には、高温長時 間の熱処理を必要としないため、微細CMOSと同一基 板上に位載することが容易にできるようになる。

[0046]

高速度層からドレイン方向に深く空乏層が形成されるた いるため、しきい値電圧は低く、さらに、オン抵抗も小 さくすることができる。さらに、高濃度層が深く形成さ たたでもため、ドフイン・ソース階の遊ス人ピス邸にも 【発明の効果】以上詳述したように、 請水項1の発明に よれば、低濃度層が幅狭くゲート電極直下に形成されて 近諱度層から第1 導電型倒域への空之層も広がりにくく **如えられる。この結果、パンチスルー防止耐圧を維持す** め、空之層の電界区の強度が全体に弱まり、すなわち、 ることがつなる。

【0047】 請求項2の発明によれば、截界効果型半導 本集子のしきい位を決定する低濃度層の表面濃度よりも

第1導戦倒域直下の低濃度層の濃度が濃くなる。このた め、より彼い低濃質層で、パンチスルーが防止でき、オ ン抵抗が低減される。又、寄生抵抗成分を小さくできる ことから、ペース電位が上昇しにくくなって各生トラン ジスタが導通しにくくなり、かつ者生トランジスタの電 流増悩率 PPRを小さくできるため、破壊耐量が向上す

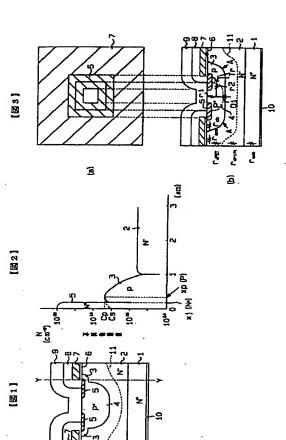
強度が弱められ、かつ空を層が拡がるのも抑えられるた め、従来と異なり空を層が拡がってパンチスルーが生じ がなくなり、敷造しやすい扱いトレンチゲートでも可能 となる。又、電界強度も弱くなることから、トレンチゲ ができ、第2導電型倒域から第1導電型倒域へは、電界 るのを均止するための深いトレンチゲートの製造の必要 [0048] 糖水煩3の発明によれば、オン抵抗の低下 一ト始部の丸め工程も不要となる。

図1のY-Y線で切断したときの、按面から 【図1】 第1 実施後の1つのセルの模式的な影画図。 【図面の簡単な説明】 図2)

[図3] 従来のMOSFETを示し、(\*) は平断面 の深さにおける不純物濃度を示すグラフ。 **西図、(b) は売周図。** 

第2 実施例の1つのセルの模式的な新面図。 第3 実施倒の1つのセルの模式的な影画図。 (e) 京第2安諸宏のMOSFETの平固 は第3英指例のMOSFETの平函図。 (P) [図4] (<u>8</u>2) [86]

基体)、17はPボディ層、18は酸化絶線膜、19は 6はN+ソース層、8はゲート酸化度、7はゲート・シ + ドアムン庫、1 G はN ドフムン庫(粧 1 等無型半導会 道、2.2 は空左層、2.8 はPボディ層(第2 導電倒域の 低微度層)、24m, 24bはb+ ボディ層(第2導電 倒壊の高線度層)、41はN+型リコン基板、42は低 撤収N型シリコン層 (第1 详電型半導体基体)、43は (4)~(1)は第3実施例の製造工程を示 (s)~(c) な図じく終3米補金の製造工 半等体基体)、 3 はアポディ暦(第2 導動回域の低量度 リコン気値、8 は層間絶縁度、9 はソース・アルミニウ **4集後、10はドレイン電後、11は位左層、16はN** トレンチゲート、20はN+ ソース層、21はソース側 政化威、44はトレンチ、46は多詰品シリコン翼(ゲ ート電極)、48は女教局(N+ソース層)、49は女 | Ith+ 銘板、2 Ith- エピタキシャル層 (第1 導電型 m, 63bは拡散層 (b+ ボディ層:第2導電倒線の高 **敷層(P ボディ層:第2 導電田域の低濃度層)、63** 層)、4はP+ ボディ層(第2導電回域の高濃度層) 依米のMOSFETの専用図. 濃度層)、66は空を層。 是を示す説明図。 【作号の収明】 [887] (6 X (8 図



[68]

:

